

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月26日  
Date of Application:

出願番号 特願2003-049136  
Application Number:

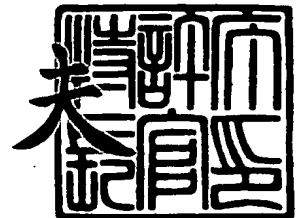
[ST. 10/C]: [JP 2003-049136]

出願人 ローム株式会社  
Applicant(s):

2003年12月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3100932

【書類名】 特許願

【整理番号】 02-00485

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 19/06

【発明の名称】 タイミング調整装置

【請求項の数】 4

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 藤井 教夫

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100083231

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミネ  
ルバ国際特許事務所

【弁理士】

【氏名又は名称】 紋田 誠

【選任した代理人】

【識別番号】 100112287

【住所又は居所】 東京都港区新橋 2 丁目 1 0 番 5 号 末吉ビル 5 階 ミ  
ネルバ国際特許事務所

【弁理士】

【氏名又は名称】 逸見 輝雄

【手数料の表示】

【予納台帳番号】 016241

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9901021

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 タイミング調整装置

【特許請求の範囲】

【請求項 1】 入力信号が入力され、その入力信号レベルをデジタル信号に変換してデジタル化入力信号として出力する A/D コンバータと、

前記デジタル化入力信号とカウンタクロック信号とトリガ信号とが入力され、前記デジタル化入力信号に応じて計数カウント数がセットされるとともに、前記トリガ信号により前記カウンタクロック信号のカウントを開始し、前記計数カウント数をカウントした時点で出力信号を出力するカウンタ回路と、を備えることを特徴とするタイミング調整装置。

【請求項 2】 前記計数カウント数は、前記トリガが入力された時点で前記デジタル化入力信号がセットされることを特徴とする、請求項 1 記載のタイミング調整装置。

【請求項 3】 前記 A/D コンバータは、

入力クロック信号をカウントして、カウント動作を繰り返し行う 2 進化 N ビット出力カウンタと、

前記 2 進化 N ビット出力カウンタの N ビット出力信号をデジタル入力としアナログ信号に変換してカウンタアナログ信号として出力する D/A コンバータと、

前記入力信号と前記カウンタアナログ信号とを比較し、比較出力を出力する比較器と、

前記 N ビット出力信号をデータとして入力し、前記比較出力の変化にしたがって前記 N ビット出力信号を保持し、この保持された前記 N ビット出力信号を前記デジタル化入力信号として出力するラッチ回路と、を有することを特徴とする、請求項 1、2 記載のタイミング調整装置。

【請求項 4】 前記カウンタクロック信号は、前記 N ビット出力信号のうちのいずれか 1 つの出力信号であることを特徴とする、請求項 3 記載のタイミング調整装置。

【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**

本発明は、フロッピー（登録商標）ディスク装置（以下、FDDと称する）等の磁気ディスク装置や光ディスク装置のインデックス信号や、ビデオテープレコーダ（VTR）のPG信号等のタイミング調整に使用されるタイミング調整装置に関する。

**【0002】**

従来から例えばFDD等の磁気ディスク装置では、ディスク1回転に1パルスのインデックス信号を発生させ、記録トラックの書き始めを決めるようにしている。このインデックス信号のタイミングは、ディスクの互換性を取れるようディスクの特定の回転角度位置で発生させる必要がある。しかし、インデックス信号を発生するインデックス信号発生手段の取り付け精度は、通常数度程度の誤差が見込まれることから、発生されたインデックス信号のタイミング調整を行い、誤差を補正して使用している。

**【0003】**

このタイミング調整装置として、基準となる第1電流を流す第1電流源と、任意に調整できる第2電流を流す第2電流源と、コンデンサとを備え、規定電圧値にあるコンデンサをインデックス信号の発生から所定時間だけ第1電流で充電（放電）し、その後第2電流で規定電圧値まで放電（充電）させて、タイミング調整を行うものがある（特許文献1参照）。

**【0004】****【特許文献1】**

特許第2546223号明細書

**【0005】****【発明が解決しようとする課題】**

しかし、従来のタイミング調整装置は、コンデンサへの充電と放電とを利用してタイミングを調整するものであるから、コンデンサを必要とする。したがって、タイミング調整装置をIC化する場合には、そのコンデンサを外付け部品として用意する必要があり、コストアップの要因となる。また、外付けコンデンサへの接続のために、専用のピンを必要とするから、ICの小型化ができにくくなる

。

#### 【0006】

そこで、本発明は、時間調整用のコンデンサを用いることなく、必要な時間を精度良く設定するとともに、設定された調整時間のドリフトが少ないタイミング調整装置を提供することを目的とする。

#### 【0007】

##### 【課題を解決するための手段】

請求項1のタイミング調整装置は、入力信号V i n aが入力され、その入力信号レベルをデジタル信号に変換してデジタル化入力信号V i n dとして出力するADコンバータ10と、

前記デジタル化入力信号V i n dとカウンタクロック信号C L K cとトリガ信号T R Gとが入力され、前記デジタル化入力信号V i n dに応じて計数カウント数がセットされるとともに、前記トリガ信号T R Gにより前記カウンタクロック信号C L K cのカウントを開始し、前記計数カウント数をカウントした時点で出力信号S o u tを出力するカウンタ回路20と、を備えることを特徴とする。

。

#### 【0008】

請求項2のタイミング調整装置は、請求項1記載のタイミング調整装置において、前記計数カウント数は、前記トリガが入力された時点で前記デジタル化入力信号V i n dがセットされることを特徴とする。

#### 【0009】

請求項3のタイミング調整装置は、請求項1、2記載のタイミング調整装置において、前記ADコンバータ10は、入力クロック信号C L K sをカウントして、カウント動作を繰り返し行う2進化Nビット出力カウンタ13と、前記2進化Nビット出力カウンタ13のNビット出力信号Q1～Q4をデジタル入力としアナログ信号に変換してカウンタアナログ信号V d aとして出力するDAコンバータ15と、前記入力信号V i n aと前記カウンタアナログ信号V d aとを比較し、比較出力C Pを出力する比較器11と、前記Nビット出力信号Q1～Q4をデータとして入力し、前記比較出力C Pの変化にしたがって前記Nビット出力信

号Q1～Q4を保持し、この保持された前記Nビット出力信号Q1～Q4を前記デジタル化入力信号Vindとして出力するラッチ回路14と、を有することを特徴とする。

#### 【0010】

請求項4のタイミング調整装置は、請求項3記載のタイミング調整装置において、前記カウンタクロック信号CLKcは、前記Nビット出力信号Q1～Q4のうちのいずれか1つの出力信号であることを特徴とする。

#### 【0011】

##### 【発明の実施の形態】

以下、本発明のタイミング調整装置の実施の形態について、図を参照して説明する。図1は、本発明の第1の実施の形態に係るタイミング調整装置の構成を示す図である。図2は、図1の動作を説明するタイミングチャートである。このタイミング調整装置は、ICに作り込まれている。

#### 【0012】

図1において、ADコンバータ10は、入力信号Vinaが入力され、その入力信号レベルをデジタル信号に変換してデジタル化入力信号Vindとして出力する。カウンタ回路(COUNT)20は、デジタル化入力信号Vindがデータ入力端子Dに、カウンタクロック信号CLKcがクロック入力端子CKに、トリガ信号TRGがセット端子Sに、それぞれ入力される。

#### 【0013】

そして、カウンタ回路20には、トリガ信号TRGによって、デジタル化入力信号Vindに応じた計数カウント数がセットされるとともに、カウンタクロック信号CLKcのカウントを開始し、セットされた計数カウント数をカウントし終えた時点で出力信号Soutを出力する。

#### 【0014】

トリガ信号TRGは、モータなどの回転体の回転(FDDの場合を例にすると、約300RPM)に伴って1回転に1回出力される。出力信号Soutは、トリガ信号TRGの発生から所定回転角度(例、数度)に相当する遅延時間後に出力される。入力信号Vinaは、出力信号Soutが出力される遅延時間を設定

するように調整されるものであり、例えばボリューム（可変抵抗）によりそのレベルを調整し、設定する。

#### 【0015】

図1のタイミング調整装置の動作を、図2のタイミングチャートも参照して説明する。

#### 【0016】

まず、トリガ信号TRGに対して出力信号Soutを遅延させる調整時間Tdを決めて、その調整時間Tdに見合うように入力信号Vinaを設定する。この設定された入力信号Vinaの大きさが図2に矢印で示されている。

#### 【0017】

この設定された入力信号VinaがADコンバータ10に入力され、デジタル化入力信号Vindにデジタル符号化されて、カウンタ回路20のデータ入力端子Dに供給される。カウンタ回路20には、また、カウンタクロック信号CLKcが連続的に供給されている。

#### 【0018】

トリガ信号TRGがセット端子Sに時点t1で印加されると、その時点のデジタル化入力信号Vindが計数カウント値としてセットされる。同時に、カウンタクロック信号CLKcのカウントが開始される。なお、トリガ信号TRGは、カウンタクロック信号CLKcに同期していることを例に図示しているが、同期していなくても良い。

#### 【0019】

カウンタクロック信号CLKcのカウントが進行し、そのカウント数CNTが計数カウント値（即ち、Vind）に達した時点t2で、カウンタクロック信号CLKcのカウントが終了し、出力信号Soutが出力される。カウンタクロック信号CLKcのカウント開始時点t1からカウント終了時点t2までの時間が、調整された調整時間Tdとなる。

#### 【0020】

トリガ信号TRGは、対象が回転体である場合には、所定周期T1毎に繰り返して供給されるから、出力信号Soutも調整時間Tdだけ遅れて所定周期T1毎



に繰り返し出力される。

#### 【0 0 2 1】

この調整時間  $T_d$  が所期の時間と異なる場合や、或いは、その時間を変更する場合には、入力信号  $V_{ina}$  を適切な大きさに再調整する。

#### 【0 0 2 2】

このタイミング調整装置では、入力信号  $V_{ina}$  がデジタル符号化されたデジタル化入力信号  $V_{ind}$  によって、カウンタ回路 20 の計数カウントをセットし、カウンタクロック信号  $CLK_c$  によりカウントを行う。したがって、入力信号  $V_{ina}$  に精度良く応じた調整時間  $T_d$  を設定することができる。

#### 【0 0 2 3】

また、設定された調整時間  $T_d$  の精度はカウンタクロック信号  $CLK_c$  により決まるので、カウンタクロック信号  $CLK_c$  が安定していれば、電源電圧や周囲温度の変化による調整時間  $T_d$  のドリフトは、従来のものより少なくできる。また、カウンタクロック信号  $CLK_c$  のクロック周期は、調整時間  $T_d$  のドリフトが小さいから、必要とされる調整時間  $T_d$  の精度に応じて決めることができる。

#### 【0 0 2 4】

図 1 のタイミング調整装置は、FDD 等の磁気ディスク装置や光ディスク装置のインデックス信号や、ビデオテープレコーダ (VTR) の PG 信号等のタイミング調整に使用することができる。

#### 【0 0 2 5】

FDD に適用する場合には、トリガ信号  $TRG$  は、ディスク 1 回転に 1 パルスの入力インデックス信号であり、出力信号  $S_{out}$  は、ディスクの特定の回転角度分だけ時間遅延させた出力インデックス信号である。また、入力信号  $V_{ina}$  は遅延させる時間を指令する遅延量設定値になる。これにより、ディスクの互換性を取れるように、出力インデックス信号のタイミングを、ディスクの特定の回転角度位置で発生させるよう調整できる。FDD 以外の他のディスクなどにおいても同様に適用できる。さらに、本発明は、これらに限らず、回転体の回転位置のタイミング調整に広く利用できる。

#### 【0 0 2 6】

図3は、本発明の第1の実施の形態に係るタイミング調整装置の構成を示す図であり、特にADコンバータ10の具体的構成例を示している。図4は、図3のADコンバータ10の動作を説明するタイミングチャートである。

#### 【0027】

図3において、ADコンバータ10の具体的構成例を示している点、またそれと関連してカウンタクロック信号CLK<sub>c</sub>としてADコンバータ10内部の信号を利用する点で、図1と異なっており、その他の点は同じである。以下、異なる点を中心に説明する。

#### 【0028】

まず、ADコンバータ10の構成について説明する。2進化Nビット出力カウンタ(N-COUNT)13は、入力クロック信号であるシステムクロック信号CLK<sub>s</sub>をカウントして、初期値から終了値までのカウント動作を繰り返し行う。このNビット出力カウンタ13は、2進化2<sup>N</sup>進カウンタにより構成される。この例では、N=4、として説明するが、Nは任意の数でよい。また、2進化2<sup>N</sup>進カウンタに限らず、カウント動作を繰り返し行うカウンタであれば他の形式のカウンタでも良い。

#### 【0029】

DAコンバータ15は、Nビット出力カウンタ13のNビット出力信号Q<sub>1</sub>～Q<sub>4</sub>をデジタル入力としアナログ信号に変換してカウンタアナログ信号V<sub>d a</sub>として出力する。このDAコンバータ15としては、IC化した場合の必要面積を小さくするために、R-2Rタイプの梯子型抵抗回路によるDAコンバータを用いることがよい。

#### 【0030】

比較器11は、入力信号V<sub>i n a</sub>とカウンタアナログ信号V<sub>d a</sub>とを比較し、入力信号V<sub>i n a</sub>がカウンタアナログ信号V<sub>d a</sub>を上回るときに、Hレベルの比較出力CPを出力する。

#### 【0031】

D型フリップフロップ12は、クロック端子Cにシステムクロック信号CLK<sub>s</sub>を入力し、データ端子Dに比較出力CPを入力し、フリップフロップ出力FF

を出力する。

#### 【0032】

ラッチ回路14は、Nビット出力信号Q1～Q4をデータ端子Dにデータとして入力し、クロック端子Cへ入力されるフリップフロップ出力FF（つまり、比較出力CP）の変化にしたがってNビット出力信号Q1～Q4を保持する。そして、保持されたNビット出力信号Q1～Q4をデジタル化入力信号Vindとして、カウンタ回路20に向けて出力する。

#### 【0033】

また、カウンタ回路20へのカウンタクロック信号CLKcとして、Nビット出力信号Q1～Q4のうちのいずれか1つの出力信号、例えばQ4を利用する。これは、例えば300RPMのFDDに本発明を適用する場合を想定すると、1回転（360°）は200msであるから、0.2°の精度を得るには約100μsの分解能があればよい。システムクロック信号CLKsが十分に高周波数である場合には、システムクロック信号CLKsをカウンタクロック信号CLKcにそのまま使用する必要はなく、デジタル化入力信号Vindを得るために形成されるNビット出力信号Q1～Q4をカウンタクロック信号CLKcに利用すればよい。これにより、カウンタ回路20での計数カウントを少なくできるから、カウンタ回路20の小型化に効果がある。

#### 【0034】

図3のタイミング調整装置におけるADコンバータ10の動作を、図4のタイミングチャートも参照して説明する。

#### 【0035】

まず、設定された入力信号Vinaが比較器11の正（+）入力端子に入力され、負（-）入力端子に入力されるカウンタアナログ信号Vdaと比較される。

#### 【0036】

Nビット出力カウンタ13はシステムクロック信号CLKsを連続的にカウントしており、Nビット出力信号Q1～Q4をラッチ回路14と、DAコンバータ15に供給している。

#### 【0037】

DAコンバータ15では、入力されるNビット出力信号Q1～Q4を常時デジタル信号に変換してカウンタアナログ信号Vdaを出力する。

【0038】

時点t11でNビット出力カウンタ13のカウント周期T11がスタートすると、カウンタアナログ信号Vdaが上昇していく。入力信号Vinaをカウンタアナログ信号Vdaを越えたときに比較出力CPがHレベルからLレベルに変化する。その次のシステムクロック信号CLKsの立ち下がりに同期した時点t12でフリップフロップ出力FFが立ち下がる。

【0039】

ラッチ回路14は、フリップフロップ出力FFの立ち下がりにより、その時点t12のNビット出力信号Q1～Q4（図4の場合、1, 1, 0, 1）をデータ信号としてラッチし、それをデジタル化入力信号Vind（図4の場合、1, 1, 0, 1）としてカウンタ回路20に供給する。

【0040】

時点t13でNビット出力カウンタ13のカウント周期T11がエンドになると、以上のような動作が繰り返し行われる。

【0041】

デジタル化入力信号Vindは、ラッチされるとその値を保持し、次のカウント周期で新しいNビット出力信号Q1～Q4に更新される。入力信号Vinaが変更されない間は、同じデジタル化入力信号Vindが連続して出力されることになる。

【0042】

カウンタ回路20の動作は、カウンタクロック信号CLKcがNビット出力信号Q1～Q4のいずれかとされる以外は、図1のものと同一である。

【0043】

本発明のタイミング調整装置は、充放電用コンデンサを使用せずにIC化されており、また、入力信号Vina、カウンタアナログ信号Vdaの比較部分以外は全てデジタル回路で構成されており、所要面積も小さくなっている。

【0044】

**【発明の効果】**

本発明のタイミング調整装置によれば、デジタル符号化された入力信号によって計数カウントをセットし、カウンタクロック信号によりカウントを行うから、入力信号に精度良く応じた調整時間を設定することができる。また、設定された調整時間の精度はカウンタクロック信号により決まるので、カウンタクロック信号が安定していれば、電源電圧や周囲温度の変化による調整時間のドリフトは、従来のものより少なくできる。

**【0 0 4 5】**

また、本発明のタイミング調整装置によれば、充放電用コンデンサを使用しないから I C 化が容易であり、かつ、入力信号の比較部分以外は全てデジタル回路で構成されるので I C 化したときの所要面積も小さくすることができる。

**【0 0 4 6】**

また、カウンタクロック信号として、A D コンバータ内部の N ビット出力信号を使用するから、計数カウントを少なくでき、カウンタ回路を小型化できる。

**【図面の簡単な説明】****【図 1】**

本発明の第 1 の実施の形態に係るタイミング調整装置の構成図。

**【図 2】**

図 1 の動作を説明するタイミングチャート。

**【図 3】**

本発明の第 2 の実施の形態に係るタイミング調整装置の構成図。

**【図 4】**

図 3 の A D コンバータ 1 0 の動作を説明するタイミングチャート。

**【符号の説明】**

1 0    A D コンバータ

V i n a    入力信号

V i n d    デジタル化入力信号

2 0    カウンタ回路

T R G    トリガ信号

S o u t 出力信号

C L K c カウンタクロック信号

1 1 比較器

1 2 D型フリップフロップ

1 3 Nビット出力カウンタ

1 4 ラッチ回路

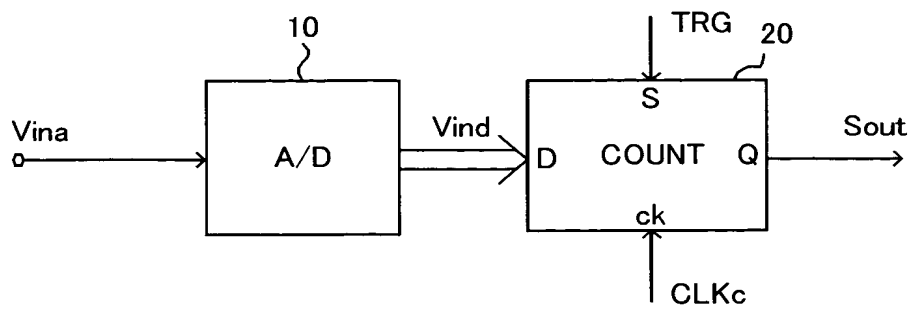
1 5 D Aコンバータ

C L K s システムクロック信号

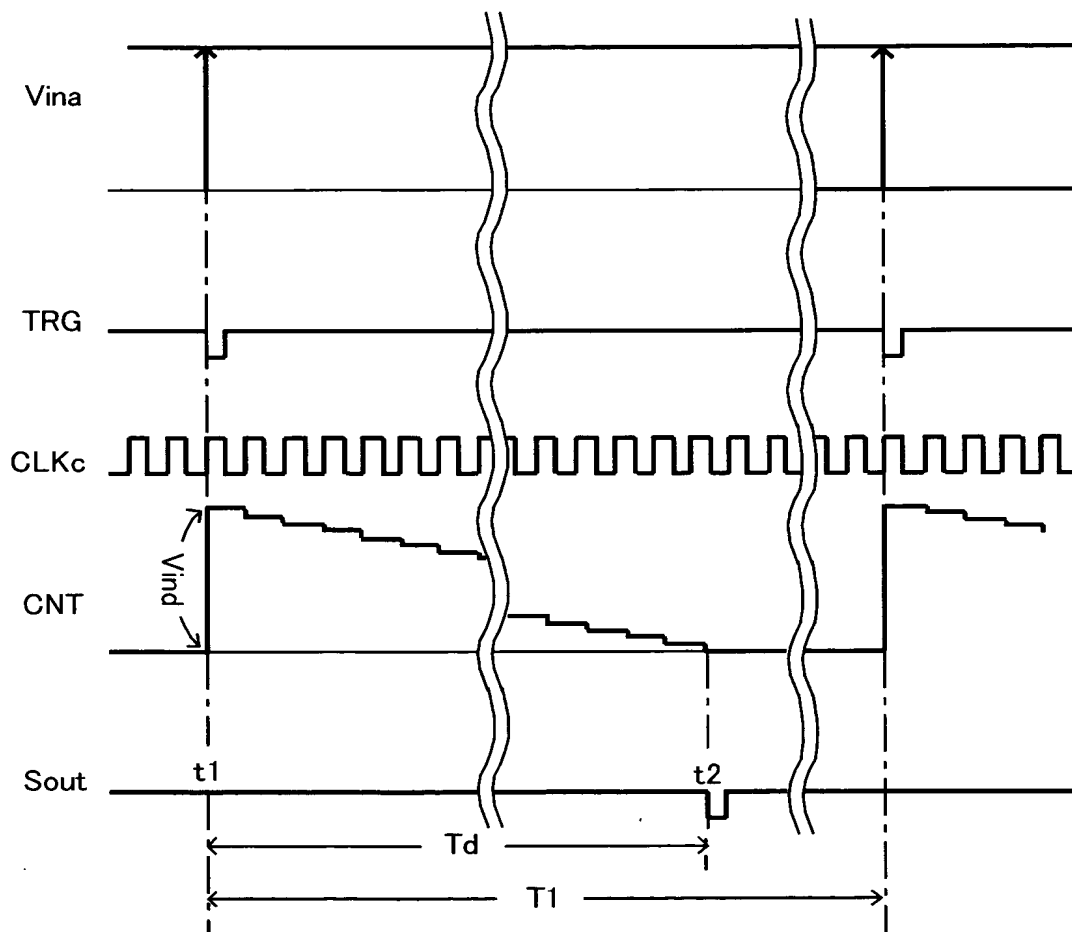
V d a カウンタアナログ信号

【書類名】 図面

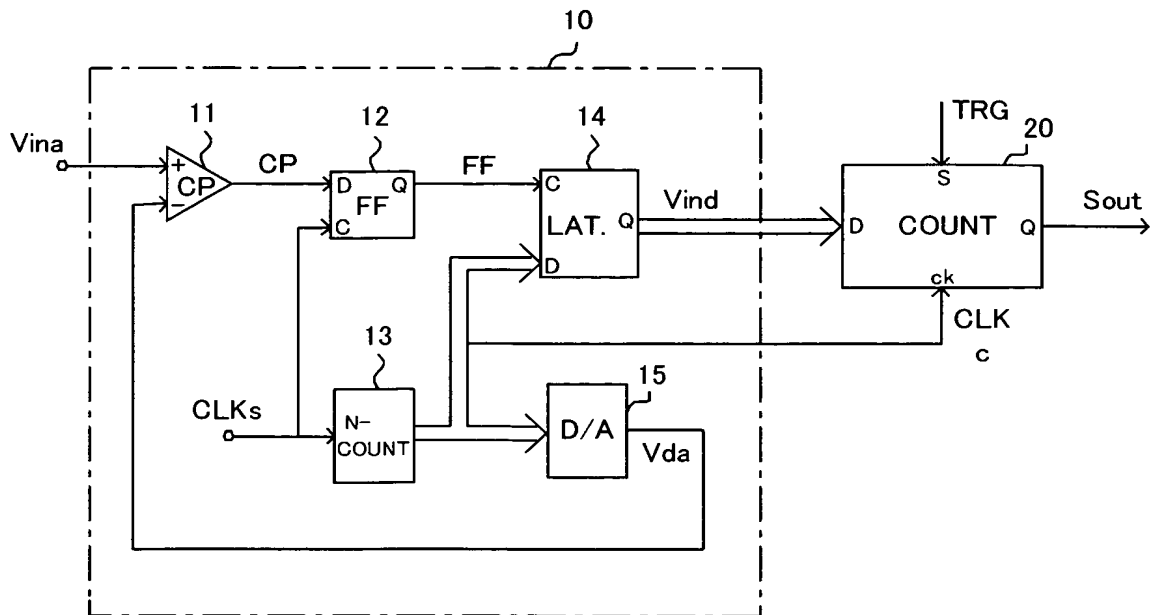
【図1】



【図2】

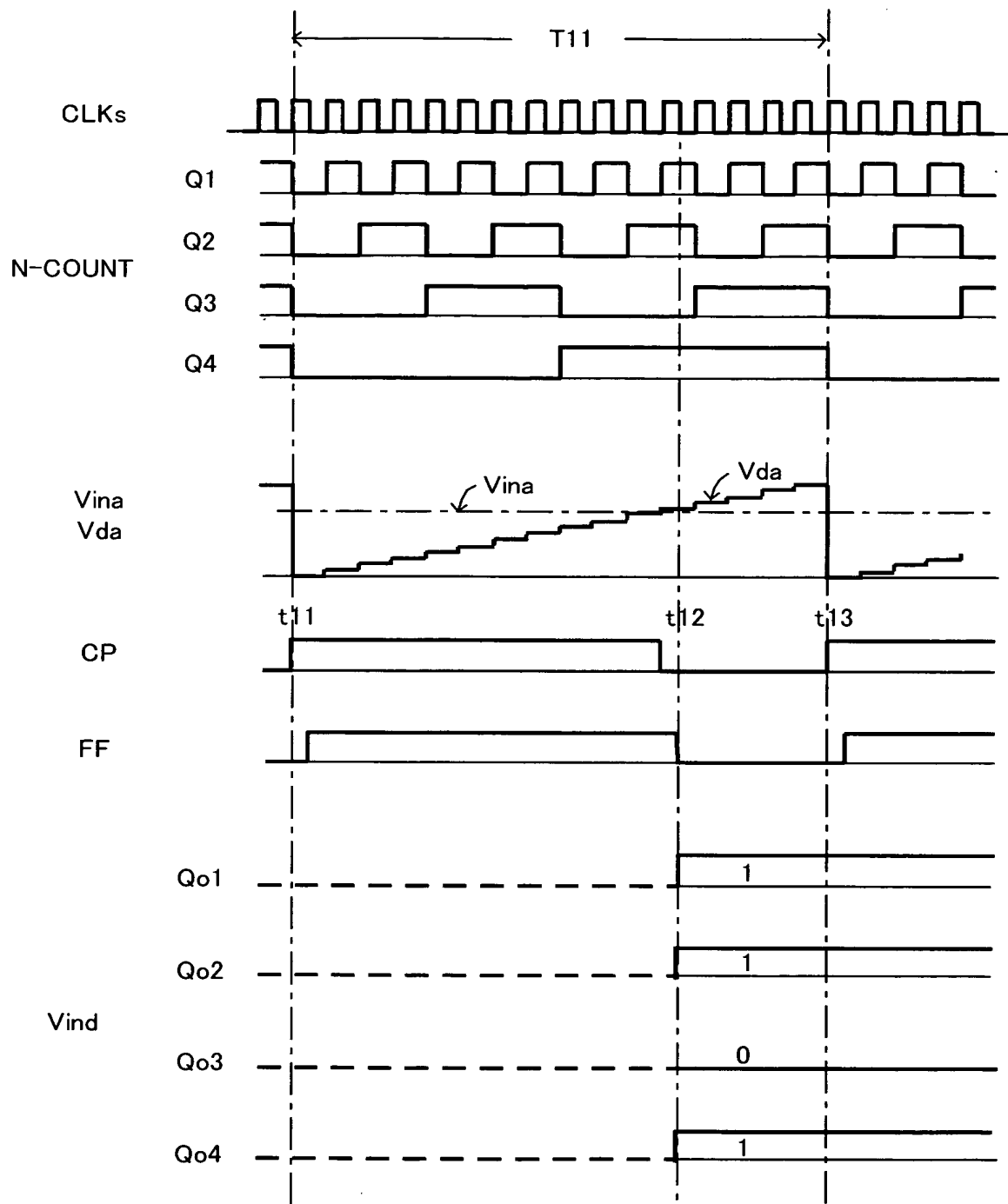


【図 3】





【図 4】



【書類名】 要約書

【要約】

【課題】 時間調整用のコンデンサを用いることなく、必要な時間を精度良く設定するとともに、設定された調整時間のドリフトが少ないタイミング調整装置を提供すること。

【解決手段】 入力信号  $V_{in a}$  を A/D コンバータ 10 によりデジタル信号に変換してデジタル化入力信号  $V_{in d}$  として出力する。カウンタ回路 20 は、デジタル化入力信号  $V_{in d}$  に応じて計数カウント数をセットし、トリガ信号  $T_{RG}$  によりカウンタクロック信号  $C_{LK c}$  のカウントを開始し、計数カウント数をカウントした時点で出力信号  $S_{out}$  を出力する。

【選択図】 図 1

特願 2 0 0 3 - 0 4 9 1 3 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 6 0 2 4 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社